

## MicroPatent® PatSearch Fulltext: Record 1 of 1

**Search scope:** WO JP (bibliographic data only)

**Years:** 1836-2005

**Patent/Publication No.:** ((JP04113445))



[Go to first matching text](#)

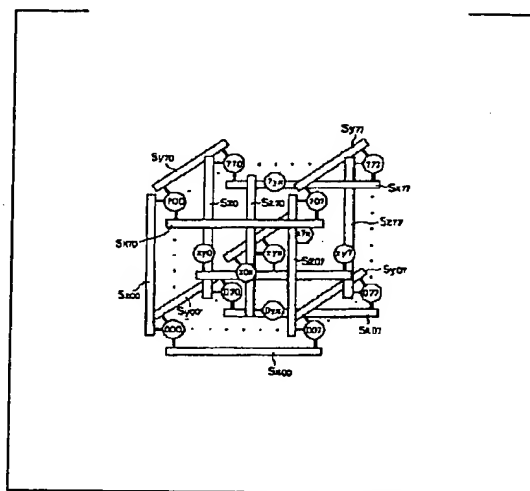
**JP04113445 A**  
**PARALLEL COMPUTER**  
**TOSHIBA CORP**

**Abstract:**

**PURPOSE:** To improve the communication performance by attaining the selection of the bit width or the frequency of the communication channels formed to a main substrate and a processing element connection means based on the packing facilitation of each communication channel.

**CONSTITUTION:** The processing elements '000'-'777' are

connected to the x-direction crossbar switches  $Sx_{00}$ - $Sx_{07}$ ... $Sx_{70}$ - $Sx_{77}$ , the y-direction crossbar switches  $Sy_{00}$ - $Sy_{07}$ ... $Sy_{70}$ - $Sy_{77}$ , and the z-direction crossbar switches  $Sz_{00}$ - $Sz_{07}$ ... $Sz_{70}$ - $Sz_{77}$  of an 8-input/8-output structure respectively for every eight pieces. Then a connection means is added to secure the mutual connection among the processing elements connected to a main substrate containing the elements '000'-'777' via the communication channels. Furthermore the bit width or the frequency is selected for those communication channels formed to the main substrate and the connection means based on the packing facilitation of each communication channel. Thus the communication performance is improved.



[Click here for larger image.](#)

**COPYRIGHT:** (C)1992,JPO&Japio

**Inventor(s):**

TANABE NOBORU

**Application No.** 02232355 JP02232355 JP, **Filed** 19900904, **A1 Published** 19920414

**Int'l Class:** G06F01516

**Patents Citing This One (1):**

- US6820167 B2 20041116 Hewlett-Packard Development Company,  
L.P.  
Configurable crossbar and related methods



For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

## ⑫ 公開特許公報(A) 平4-113445

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)4月14日

G 06 F 15/16

4 0 0 Y

9190-5L

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 並列計算機

⑮ 特 願 平2-232355

⑯ 出 願 平2(1990)9月4日

⑰ 発 明 者 田 邊 昇 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 鈴江 武彦 外3名

## 明 細 書

## (従来 of 技術)

## 1. 発明の名称

並 列 計 算 機

## 2. 特許請求の範囲

ポイント・ツ・ポイントの通信路によってプロセッシングエレメントが結合される並列計算機において、プロセッシングエレメントが搭載される主基板と、上記プロセッシングエレメント相互の結合を実現する接続手段を有し、上記主基板および接続手段に形成される通信路のビット幅または周波数を各通信路の実装の容易性に基づいて選択可能にしたことを特徴とする並列計算機。

## 3. 発明の詳細な説明

## 〔発明の目的〕

## (産業上の利用分野)

本発明は、ハイパーキューブのようなポイント・ツ・ポイント(point to point)の通信路によってプロセッシングエレメントが結合される並列計算機に関するものである。

従来、ポイント・ツ・ポイントの通信路によって通信を行う並列計算機では、その相互結合網としてハイパーキューブ(binary n-cube)、超立方体(CCC)、格子(mesh)、2進木(binary tree)、base-m n-cubeなどの種々の結合方法が考えられている。

そして、これら結合方法を採用した並列計算機では、結合網を形成する通信路について、すべて同等な通信能力を持たせるように考えられており、システム全体として、どこかの通信路をとっても、競合さえなければ全て均質な通信能力が得られるようになっている。

ところで、binary n-cubeやbase-m n-cubeで代表される比較的密に結合される結合網を採用した並列計算機で、結合網を構成する通信路の数が多く、各基板から導出される信号線や筐体間を接続するための信号線の数が多大になるものでは、各通信路に対して均質な通信性能を確保しようとする、全体のプロセッサの数が多

く必要になるとともに、通信路のビット幅も大きくする必要がある。

ところが、実際は、LSIのチップ内部における配線、LSI外部に出せる信号線の数、基板内部での配線数、基板外部に出せる信号線の数、筐体間の配線数などにそれぞれ制約があるため、これら制約の下で、各通信路に対して均質の通信性能を確保しようとするには、最も制約の厳しい通信路に合わせてプロセッサの数や通信路のビット幅を設定しなければならない。

このことは、システム全体についてプロセッサの数を多くできないとともに、通信路のビット幅を大きくできないことであり、このように通信路のビット幅に制約を受けると、システム全体の転送能力が低下するだけでなく、高速なプロセッサをプロセッシングエレメントとして用いると、データ枯渇を引き起こし、通信待ちのためにプロセッサの能力を引き出せなくなるなどの不都合を生じていた。

— 3 —

および接続手段に形成される通信路のビット幅または周波数を各通信路の実装の容易性に基づいて選択可能にしたものである。

(作用)

この結果、本発明によれば、最も制約の厳しい通信路に合わせて、どこでも同じビット幅や周波数の通信路を実装するのではなく、各通信路の実装の容易性に基づいて選択するようになるので、つまり、基板内部での配線の制約、基板外部に出せる信号線数の制約などの物理的な制約に対応するように、実装する通信路のビット幅や周波数を選択するようにしたので、物理的な制約は物理的にローカルであるほど緩く、ビット幅を増やしたり、クロックを上げることにより通信路の帯域を高くとることができ、これにより、結合のトポロジーを変えることなく、物理的にローカルなものの高速な通信路で結合された並列計算機が構築できる。

また、並列性のある多くの問題には、並列計算機にマッピングされた時に生じる通信が、ある程

— 5 —

(発明が解決しようとする課題)

このように、従来の均質の通信性能の確保を基本とするものと比較的に結合される結合網を採用したのになると、プロセッサ数を多くできなかったり、通信路のビット幅を大きくできなかったりすることがあり、これらが原因して並列化による高速化や、プロセッサの能力の向上による高速化が難しくなる問題点があった。

本発明は、上記事情に鑑みてなされたもので、並列化による高速化は勿論、プロセッサの能力の向上による高速化も可能にできる並列計算機を提供することを目的とする。

〔発明の構成〕

(課題を解決するための手段)

本発明の並列計算機は、ポイント・ツ・ポイントの通信路によってプロセッシングエレメントが結合されるものであって、プロセッシングエレメントが搭載される主基板に対して、通信路を介して接続されプロセッシングエレメント相互の結合を実現する接続手段を有するとともに、これら主基板

— 4 —

度ローカルに納まるという通信の局所性が存在する。マッピングのアルゴリズムと結合網のトポロジーと問題の三者の相性にもよるが、多くの場合、ローカルな通信の頻度のある程度向上させることが可能である。このことから、ローカルな通信が高速であるシステムは、システム全体として動作時の通信性能は、均質な通信性能を持つものよりも高くなる。このように実質的な通信性能が向上することから、少ないハードウェアコストにより高速なプロセッサをプロセッシングエレメントに用いた場合のデータ枯渇を引き起こしにくくすることができる。また、物理的に遠いプロセッシングエレメントとの通信路のビット幅をローカルな通信路より少なくすることにより、システム全体の通信性能の低下を抑えながら、基板外部に出る信号線数の制約などのからの影響を軽くすることができ、実質的に通信性能の低下を抑えながら、より多くのプロセッシングエレメントを実装できる。

(実施例)

以下、本発明の一実施例を図面にしたがって説

— 6 —

明する。

第1図は、本発明をbase-8 3-cube結合のトポロジーに適用した場合を示している。

この場合、base-8 3-cubeは、第2図に示すように $8 \times 8 \times 8$ の合計 $8^3$  (512)個のプロセッシングエレメントを有するもので、これらプロセッシングエレメントは、8進3桁の数字「000」から「777」で表されている。ここでの8進3桁の数字は、それぞれ下位からx座標、y座標、z座標を示している。そして、これらプロセッシングエレメント「000」～「777」は、それぞれ8個単位で8入力8出力のx方向クロスバスイッチ $S_{x00} \sim S_{x07}$ 、…、 $S_{x70} \sim S_{x77}$ 、y方向クロスバスイッチ $S_{y00} \sim S_{y07}$ 、…、 $S_{y70} \sim S_{y77}$ 、z方向クロスバスイッチ $S_{z00} \sim S_{z07}$ 、…、 $S_{z70} \sim S_{z77}$ に接続されている。

第1図に戻って、1～8はブロックを構成する筐体で、このうち筐体1は、x座標の基板11～18と、これら基板11～18にコネクタ111

— 7 —

装するとともに、その側縁部に、y座標の基板91に対応するコネクタ121と図示しないz座標の基板102に対応する外部端子122を有し、同様にしてx座標の基板18は、図示しないが8個のプロセッシングエレメント「070」～「077」とx方向クロスバスイッチ $S_{x07}$ を実装するとともに、その側縁部に、y座標の基板91に対応するコネクタおよびz座標の基板108に対応する外部端子を有している。

以下、筐体2～8を構成するx座標の基板21～28、…、81～88についても上述したと同様であり、筐体2のx座標の基板21は、図示しないが8個のプロセッシングエレメント「100」～「107」とx方向クロスバスイッチ $S_{x10}$ 、y座標の基板92に対応するコネクタおよびz座標の基板101に対応する外部端子を有し、同様にして、x座標の基板28も、図示しないが8個のプロセッシングエレメント「170」～「177」とx方向クロスバスイッチ $S_{x17}$ 、y座標の基板92に対応するコネクタおよびz座

— 9 —

～181 (図示せず)を介して接続されるy座標の基板91を有し、筐体2は、x座標の基板21～28と、これら基板21～28に図示しないコネクタを介して接続されるy座標の基板92を有し、以下、同様にして筐体8は、x座標の基板81～88と、これら基板81～88に図示しないコネクタを介して接続されるy座標の基板98を有している。また、これら筐体1～8は、x座標の基板11～18、…、81～88の外部端子112～182、…、812～882を介して接続されるz座標の基板101～108を有している。

筐体1のx座標の基板11は、8個のプロセッシングエレメント「000」～「007」とx方向クロスバスイッチ $S_{x00}$ を実装するとともに、その側縁部に、y座標の基板91に対応するコネクタ111とz座標の基板101に対応する外部端子112を有している。また、x座標の基板12は、8個のプロセッシングエレメント「010」～「017」とx方向クロスバスイッチ $S_{x01}$ を実

— 8 —

装の基板108に対応する外部端子を有している。そして、最後の筐体8のx座標の基板81も、図示しないが8個のプロセッシングエレメント「700」～「707」とx方向クロスバスイッチ $S_{x70}$ 、y座標の基板98に対応するコネクタおよびz座標の基板101に対応する外部端子を有し、同様にして基板88も、図示しないが8個のプロセッシングエレメント「770」～「777」とx方向クロスバスイッチ $S_{x77}$ 、y座標の基板98に対応するコネクタおよびz座標の基板108に対応する外部端子を有している。

一方、y座標の基板91は、y方向クロスバスイッチ $S_{y00} \sim S_{y07}$ を有するとともに、x座標の基板11～18のコネクタ111～181が直接接続されるコネクタ911～918を有している。y座標の基板92～98についても上述と同様であり、x座標の基板21～28、…、81～88の図示しないコネクタが直接接続されるコネクタを有するとともに、y方向クロスバスイッチ

— 10 —

また、z座標の基板101は、z方向クロスバスイッチS<sub>z00</sub>~S<sub>z07</sub>を有するとともに、外部端子1011~1018を有している。この場合、外部端子1011には、x座標の基板11の外部端子112がケーブル112aを介して接続され、外部端子1012には、x座標の基板21の外部端子212がケーブル212aを介して接続され、同様にして外部端子1018には、x座標の基板81の外部端子812がケーブル812aを介して接続される。z座標の基板102~108についても、同様であり、z方向クロスバスイッチを有するとともに、x座標の各基板の外部端子にケーブルを介して接続される外部端子を有している。

このような構成において、x座標の基板11のプロセッシングエレメント「000」~「007」とx方向クロスバスイッチS<sub>x00</sub>の間の配線は、同一基板内部の配線で、多層基板パターンで実現できるので、それぞれ帯域の高い32ビット幅の全二重通信路(64ビット)で構成している。また、プロセッシングエレメント「000」~

— 11 —

の全二重通信路によりx方向クロスバスイッチS<sub>x00</sub>で結合可能にしている。この場合、基板11内部での配線は、多層基板のパターンで実装できるので、このような帯域の高い通信路が実現できる。また、y方向のプロセッシングエレメントに対しては、コネクタ111に対して8ビット幅の全二重通信路を構成し、y座標の基板91のコネクタ911を介してy方向クロスバスイッチS<sub>y00</sub>より結合可能にしている。この場合、y方向については、コネクタ111を介してy座標の基板91に接続する関係で、x方向より制約が厳しく、このため、ビット幅を半分に落としている。さらに、z方向のプロセッシングエレメントに対しては、外部端子112に対して4ビット幅の全二重通信路を構成し、ケーブル112aよりz座標の基板101の外部端子1011を介してz方向クロスバスイッチS<sub>z00</sub>より結合可能にしている。この場合、z方向については、外部端子112よりケーブルに接続する関係で、y方向よりさらに制約が厳しいため、さらにビット幅を半分に落と

— 13 —

「007」とコネクタ111の間の配線は、コネクタ111のピン数などの制約から8ビット幅の全二重通信路(16ビット)で構成し、プロセッシングエレメント「000」~「007」と外部端子112の間の配線は、ケーブル使用するための制約から4ビット幅の全二重通信路(8ビット)で構成している。

この場合、基板12~18、21~28、…、81~88についても上述したと同様であり、各基板上の8個のプロセッシングエレメントとx方向クロスバスイッチの間の配線は、帯域の高い32ビット幅の全二重通信路(64ビット)で構成し、コネクタの間の配線は、8ビット幅の全二重通信路(16ビット)で構成し、外部端子112の間の配線は、4ビット幅の全二重通信路(8ビット)で構成している。

このようにすると、いま、x座標の基板11では、8個のプロセッシングエレメント「000」~「007」を搭載し、これらプロセッシングエレメント「000」~「007」の間を32ビット幅

— 12 —

している。

ここでは、x座標の基板11を中心に述べが、これ以外のx座標の基板12~18、21~28、…、81~88についても上述したと同様である。

したがって、このようにするとx座標の基板内では、帯域の高い32ビット幅の全二重通信路を構成し、y座標の基板に対しては8ビット幅の全二重通信路を構成して、これらy座標の基板に対して128本の信号線で接続し、z座標の基板に対しては4ビット幅の全二重通信路を構成して、これらz座標の基板に対して8本のケーブル(信号線数64)で接続することで、システム全体が構成されており、各基板間で無理のない配線が実現されている。このことは、従来の均質な結合網を作るため、最も制約の厳しい通信路に合わせてシステム全体の通信路を設定したものに比べ、x方向で8倍、y方向で2倍の転送能力の向上が期待できる。

そして、問題のマッピング時にx方向の8個のプロセッシングエレメント間の通信の比率を0.5、

— 14 —

y 方向にまたがる場合を 0.3、z 方向にまたがる場合を 0.2 とすると、システム全体の実質的通信能力で  $8 \times 0.5 + 2 \times 0.3 + 1 \times 0.2 = 4.8$  倍の差が生じることになる。これはデータ枯渇を起こすことなく 4.8 倍の速度を持つプロセッサを用いることができることを意味し、メモリアクセスのローカリティを利用するキャッシュのビット率が 0.5 の場合の高速化率と比較して、本発明の効果が高いことが類推できる。また、通信の局所性がない場合でも、 $(8 \times 8 + 56 \times 2 + 448 \times 1) / 512 = 1.2$  倍の効果が有り、キャッシュのようなミスヒット時のペナルティのように逆効果になる可能性がなくなる。

次に、第 3 図は、本発明の他の実施例を示すもので、ここでは、binary n-cube 結合を採用した並列計算機を示している。

binary n-cube は、基板の外に導出される信号線が制約され易い結合網であるが、本実施例では、LSI チップ内部における配線の制約、基板外部に出せる信号線数の制約を限界近

— 15 —

アル通信路をとらざるを得ず、本実施例の binary 11-cube についても、1024 本の信号線が基板 313 の外に出る。ここで、本発明を適用せずに均質な結合を取ると、全てのプロセッサ間の結合をシリアル通信路に合わせなければならず、通信能力が足りなくなる。このことは、最近、プロセッサの性能向上は目覚ましいものがあり、近いうちにシリアル通信では、演算能力と通信能力のバランスが取れなくなる所まで来ている。しかし、このままこれらのバランスを取らなければ、プロセッサ数を削減して基板の外に出る方向数を減らし、その分をビット幅の向上に用いることになり、プロセッサの並列化による処理の高速化への道は絶たれてしまい、一方、プロセッサ数を減らさないならば通信の周波数を上げるしかないが、基板間にまたがる部分は、チップ内や基板内に比べて周波数を上げにくい。これに対して、本実施例のものによれば、基板 313 の外だけをシリアルにし、基板 313 内部を 4 ビット幅、チップ 315 内を 32 ビット幅と

— 17 —

くまで無理をして、1 枚のマザーボード 311 に対して 1 つの筐体 312 に 2048 個のプロセッシングエレメントを詰め込む場合の例を示している。

この場合、筐体 312 を構成する各基板 313 には、4 個のプロセッシングエレメント 314 を内蔵したチップ 315 を 32 個搭載している。そして、チップ 315 内部で、32 ビット幅全二重通信路 (64 ビット) を形成し、基板 313 内部で、4 ビット全二重通信路 (8 ビット) を形成し、マザーボード 311 に対しては、1 ビット幅全二重通信路 (2 ビット) を形成して、binary 11-cube を構成している。

このような binary n-cube は、base-m n-cube に比べプロセッシングエレメント 314 から多方向に多くの信号線が出るので、同一基板 313 上に、できるだけ多くのプロセッシングエレメント 314 を乗せ、基板 313 内部でパターン配線することが望ましい。しかし、このようにしても基板 313 の外に出る信号線が極めて多くなると、その部分はシリ

— 16 —

うように、実装容易性の程度に合わせて通信性能を割り当てることにより、上述した実施例の実質通信速度の議論と同様なことがいえ、プロセッサ数を減らすことなく実質的な通信速度の低下を防止することができる。

このように binary n-cube のように基板外にでる信号線数という深刻な実装上の限界が間近にある結合網においても、本発明を用いるならば実質的な通信の性能向上が図れることになる。

なお、本発明は上記実施例にのみ限定されず、要旨を変更しない範囲で適宜変形して実施できる。例えば、上述した実施例では、チップ内、基板内、筐体内、筐体間という物理的な階層を例に引いたが、この他にもマルチチップを内蔵するパッケージやウェイファスケールインテグレーションといった現在あまり一般的でない階層が存在するものについても本発明は適用できる。また、上述した実施例では、通信路のビット幅に関しての適用を示したが、通信路の実装の容易性に基づいて周波

— 18 —

数を選択するように構成してもよい。この場合、実装の容易の所で周波数を高くして通信路の性能を上げ、実装の難しい所で周波数を低くして、最低限の通信路の性能を確保するようにする。このようにしても上述したと同様な効果が期待できる。

#### 【発明の効果】

本発明の並列計算機は、ポイント・ツ・ポイントの通信路によってプロセッシングエレメントが結合されるものであって、プロセッシングエレメントが搭載される主基板に対して、プロセッシングエレメント相互の結合を行う接続手段を有するとともに、これら主基板および接続手段に形成される通信路のビット幅または周波数を各通信路の実装の容易性に基づいて選択可能にしたものであるから、システム全体の周波数の増加やプロセッサ数を削減することなく、実質的な通信性能の向上を図ることができる。また、高密度実装が困難な部分でも、無理に通信路のビット幅を大きくすることがなくなるため、実質的な通信性能の向上が図れる。特に、ハイパーキューブのようにシステム全体に

わたり比較的密な結合を持つものに対する効果は顕著である。また、実質的な通信性能を確保できるので、プロセッサ単体能力の向上による高速化を図ってもデータ枯渇を引起しにくくなり、半導体の性能向上や単体アーキテクチャの進歩によるプロセッサ性能の向上を並列システムに活かすことができる。

#### 4. 図面の簡単な説明

第1図は、本発明の一実施例を示す構成図、第2図は、同実施例に適用されるbase-8 3-cube結合を説明するための図、第3図は、本発明の他の実施例を示す構成図である。

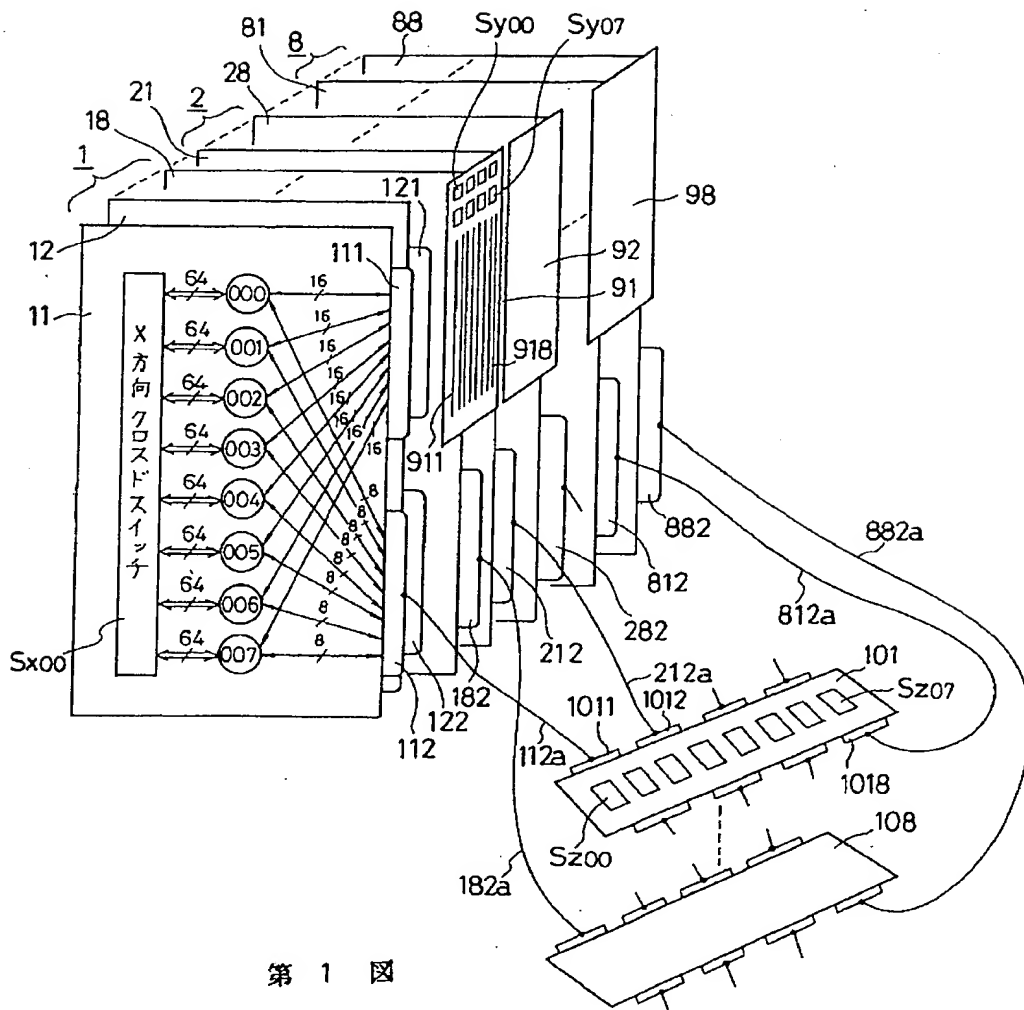
1~8…筐体、11~18、…、81~88…x座標基板、91~98…y座標基板、101~108…z座標基板、111、121…コネクタ、112、122…外部端子、311…マザーボード、312…筐体、313…基板、315…チップ。

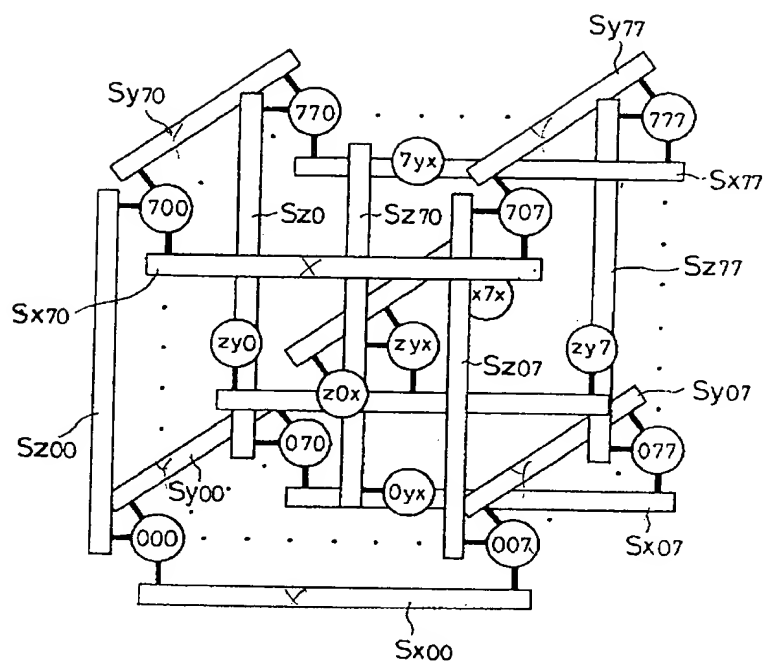
出願人代理人 弁理士 鈴江武彦

— 20 —

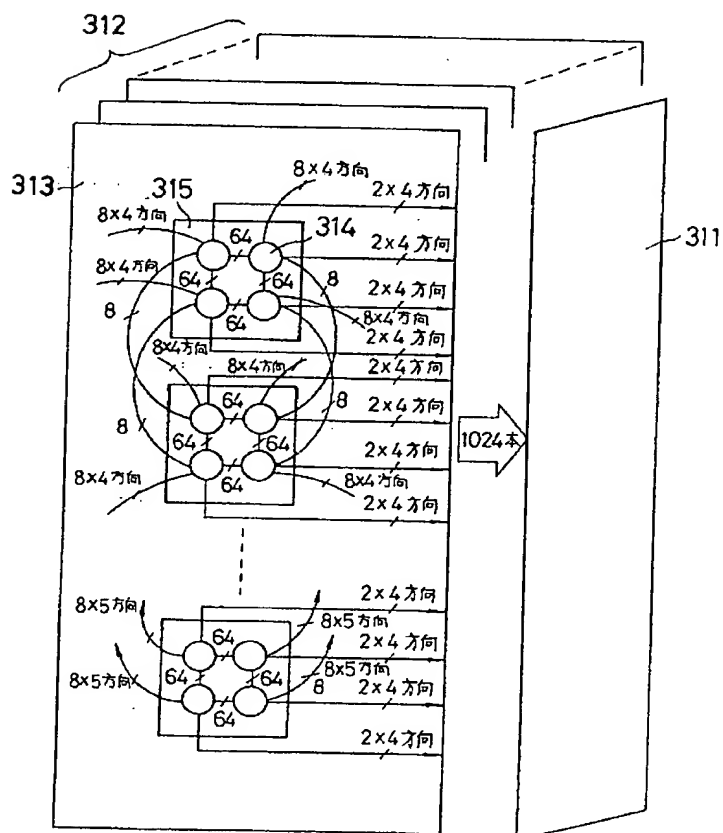
— 19 —







第 2 题



第 3 図